

Japanese Patent Application Laid-Open Number Hei 8-255916

Publication Date: October 1, 1996

Application No.: Hei 7-86458

Filing Date: March 16, 1995

Int. Class. No.: H01L 29/786, 21/336, 21/20

Inventor: Shunpei Yamazaki, and Yasuhiko Takemura

Applicant: Semiconductor Energy Laboratory, Co., Ltd.

Specification

(54) Title of Invention: Manufacturing method of thin film semiconductor device

(57) Summary

[Purpose] To offer a thin film transistor (TFT) with excellent characteristics.

[Constitution] An amorphous silicon film is formed to a thickness of not less than 400 Å on the surface of an insulator, which is crystallized by doping a catalytic metal element such as nickel and annealing thermally, furthermore on which photo-annealing is performed by an intensive light such as a laser beam. After that, projections on the surface of the silicon film are taken off by polishing the surface of the silicon film with chemical machinery polishing method (CMP method), and the catalytic metal element concentrated in the projection portion is also removed. Therefore, the evenness of the silicon film is improved, even in case that an insulating film is formed on this, enough voltage proof can be obtained and the reliability of the silicon film is improved.

[What is claimed]

[Claim 1] A manufacturing method of a thin film semiconductor device comprising:

- (1) a process for forming an amorphous silicon film on the surface of an insulator;
- (2) a process for crystallizing said silicon film by thermal annealing with a catalytic metal element;
- (3) a process for performing photo-annealing on said silicon film;
- (4) a process for making root mean square (RMS) of an unevenness on the surface not more than 10% of a film thickness, or a difference of height between a convexity and a concavity not more than 25% of the film thickness by performing a chemical machinery

polishing method on said silicon film and

(5) a process for covering said silicon film, and piling up an insulating film and a conductive film.

[Claim 2] A manufacturing method of a thin film semiconductor device wherein a process for forming a thermal oxide film on the surface of said silicon film between processes (4) and (5) of Claim 1.

[Claim 3] A manufacturing method of a thin film semiconductor device wherein an insulating film is formed by CVD method in the process (5) of Claim 1 and of which thickness is not more than twice of a thickness of the silicon film.

[Claim 4] A manufacturing method of a thin film semiconductor device wherein a design rule of a semiconductor device manufactured by Claim 1 is 0.25 to $3\mu\text{m}$.

[Claim 5] A manufacturing method of a thin film semiconductor device wherein the silicon film is formed on an insulating undercoating film which is formed by CVD method or PVD method.

[Claim 6] A manufacturing method of a thin film semiconductor device wherein the undercoating film is planarized by polishing with the chemical machinery polishing method in Claim 5.

[Claim 7] A manufacturing method of a thin film semiconductor device wherein the catalytic metal element is one of nickel, cobalt, iron, platinum or palladium in Claim 1.

[Detailed Description of the Invention]

[0001]

[Field of the invention] The present invention relates to a method of manufacturing a thin film shape insulating gate type semiconductor device (especially a thin film transistor or TFT) on the surface of an insulator. The semiconductor device by the present invention is used in an active matrix of a liquid crystal display etc. a driving circuit of an image sensor etc., a SOI integrated circuit and the conventional semiconductor integrated circuit (a micro-processor, a micro-controller, a micro-computer, and a semiconductor memory, etc.).

[0002]

[Prior art] Recently, the research that an insulating gate type semiconductor device (MISFET) is formed on an insulating substrate or on the surface (insulating surface)

which is separated from a semiconductor substrate by a thick insulating film even if on a semiconductor substrate has been performed actively. Especially, a semiconductor device of which semiconductor layer (active layer) is the shape of thin film is called a thin film transistor (TFT). In such a semiconductor device as this, it is difficult to obtain an element with excellent crystallinity like a single crystalline semiconductor, generally, a non-single crystalline semiconductor which is not a single crystal but with crystallinity is used. Therefore, the crystallinity of a semiconductor seriously affects the characteristics of a semiconductor device.

[0003] In case of using silicon as a semiconductor, as disclosed in Japanese Patent Application Laid-Open No. Hei 6-318701, when a metal element such as nickel, cobalt, iron, platinum, palladium, etc. is used, amorphous silicon can be crystallized at lower temperature and in short time. That is to say, the above-mentioned metal elements are functioned as catalytic metal elements in crystallization. And, the characteristics of the semiconductor device using the crystalline silicon film obtained in this way is generally excellent compared with that without using the crystalline silicon film. Besides, an excellent crystallization is possible in a thin film less than 1000Å.

[0004] To obtain more excellent crystallinity, as disclosed in Japanese Patent Application Laid-Open No. Hei 6-318701, it is effective that photo-annealing is performed by irradiating intensive light such as laser on the silicon film crystallized using the catalytic metal element as stated above.

[0005]

[Problems to be solved by the Invention] However, there is one problem to be solved in the method using the catalytic metal element. It is the characteristics of the semiconductor device are variable extensively because the catalytic metal element is gathered to the particular portion. That is to say, most of the catalytic metal element exist in a silicon film as a silicide, and the semiconductor characteristics of silicon is obviously lost in the region where it is much contained. In case of TFT, the problem is that the drain current is large in spite of what the gate bias is. The present invention has the purpose to solve this problem.

[0006]

[Means for resolving the problems] The present invention is characterized by solving

the above-mentioned problem by polishing and planarizing the surface of the silicon film crystallized by means as stated above with the chemical and machinery polishing method.

[0007] That is to say, through those processes,

- (1) a process for forming an amorphous silicon film on the surface of an insulator;
- (2) a process for crystallizing said silicon film by thermal annealing with a catalytic metal element;
- (3) a process for performing photo-annealing on said silicon film;
- (4) a process for making root mean square (RMS) of unevenness on the surface not more than 10% of a film thickness, or making the difference of height between a convexity and a concavity not more than 25% of the film thickness;

the portion where the catalytic metal element in the silicon film is gathered in one side is removed selectively so that the characteristics of the semiconductor device can be stable.

[0008] Then, the semiconductor device can be manufactured by covering the silicon film processed in this way, and piling up an insulating film and a conductive film. After the above-mentioned process (4), a process for forming a thermal oxide film on the surface of said silicon film can be arranged. The thermal oxidation in this case contains the thermal oxidation at low temperature of 500 to 600°C, as a result of this oxidization process, it is effective that the catalytic metal element in the silicon film can be fixed as a metal oxide.

[0009] Besides, in the present invention, the silicon film is preferably formed on the insulating undercoating film formed by the chemical vapor deposition (CVD) method or the physical vapor deposition (PVD) method. In addition to this, if the undercoating film is planarized by polishing with the chemical machinery polishing method, it is effective in the planarizing process of the silicon film.

[0010] In the above-mentioned process (4), because CMP methods of the silicon film are reported by Takahashi et al. (Appl. Phys. Lett. vol. 64 (1994) pp2273), or Cao et al. (Int'l Display Res. Conf. Oct. 10-13, 1994. Monterey, Calif. pp294), the same methods as those can be performed.

[0011]

[Action] There is another problem in the method obtaining the crystalline silicon film by

using thermal annealing and photo-annealing together with the catalytic metal element disclosed in Japanese Patent Application Laid-Open No. Hei 6-318701. It is an unevenness (ridge) on the surface of the silicon film caused by the photo-annealing process. It is caused in case of not using the catalytic metal element, but in case of using the catalytic metal element, because the crystallinity is changed more largely at photo-annealing, the local volume is much changed so that the unevenness is large.

[0012] The unevenness is caused at least 100 Å, typically, the difference of the unevenness (difference of height between a convexity and a concavity) from the same to twice as large as a film thickness is caused. That is to say, when the film thickness is 500 Å, the difference of the unevenness is 500 to 1000 Å. Besides, as another showing method of the unevenness, in case of using root mean square (RMS), it is a value over 20% of film thickness.

[0013] The present inventor, as a result of the research, found that the catalytic metal element exists selectively in a grain boundary of silicon crystal, and a ridge is generated in the grain boundary. Figure 1(A) shows this state conceptually, and ridges 13 to 15 exist on a crystalline silicon film 12 formed on an insulator surface 11. The concentration of the catalytic metal element is shown by the density of dots, as shown in Figure, the catalytic metal elements gather in the ridges 13 to 15. (Figure 1 (A))

[0014] Therefore, because the portion where the ridge exists is no-good portion of the semiconductor device, the ridge is removed so that the catalytic metal element is also removed simultaneously. In this case, because the concentration of the catalytic metal element is especially high in the summit of the ridge, the portion with high concentration of the catalytic metal element can be selectively removed by removing the ridge. Though the concentration of the catalytic metal element is high in the bases of ridges 16 to 18, it is not enough high to lose the characteristics of the semiconductor, and is no problem. (Figure 1 (B))

[0015] Because an absolute quantity of the catalytic metal element in this portion is less, the catalytic metal element of the portion can be fixed as a metal oxide by thermal oxidizing process at suitable temperature. The oxide containing the catalytic metal element obtained in this way can be removed by being processed with hydrofluoric acid, so that the catalytic metal element can be removed.

[0016] In this way, in order to remove the ridge selectively, the silicon film is planarized by CMP method. Of course, to remove the unevenness and planarize the silicon film in itself contributes to miniaturization and high reliability of the semiconductor device. For example, as shown in Figure 2, even in case of forming an insulating film 23 and an electrode 24 by covering a silicon film 22 on an insulator surface 21, an existence of a ridge 25 becomes a problem.

[0017] That is to say, the first problem is a lowering of insulation in the portion by lowering the coverage of the insulating film 23 because of the existence of the ridge. Furthermore, as mentioned above, because the ridge portion, of which curvature radius is small as well, is the portion with extremely high conductivity wherein the catalytic metal element exists as silicide, Fowler-Nordheim current 26 is easy to generate when voltage is applied between the electrode 24 and the silicon film 22. (Figure 2)

[0018] Besides, because the ridge portion is conductive, the charge is trapped in the portion so that the characteristics of the semiconductor is sometimes deteriorated. It is found out that removing ridges and planarizing is effective on resolving these problems. That is to say, the insulating film on the silicon film is piled up by CVC method, especially, by thermal CVD method, of which thickness can be not more than twice as thick as the silicon film, more preferably not more than one time . Consequently, it is possible to keep the consumption of electricity below by lowering a threshold voltage (V_{th}) of the semiconductor device.

[0019] This enables to scale a design rule down. That is to say, in order to make the design rule into half size, it is necessary that a thickness of the gate insulating film is reduced to half size simultaneously. Because the gate insulating film is possible to be thin as mentioned above, the design rule also can be 0.25 to $3\mu m$.

[0020] In the research of the present inventor, in order to remove the catalytic metal element enough, it is necessary that RMS of the unevenness on the surface is not more than 10% of the film thickness, or the difference of height between a convexity and a concavity is not more than 25% of the film thickness. And, preferably, the undercoating film is even enough to perform planarization effectively.

[0021] Furthermore, leaving the present invention, there is a report that the characteristics of the semiconductor device can be improved by making the silicon film

thin. For example, Hisao Hayashi et al. have reported in Jpn. J. Appl. Phys. Vol. 23 (1984) L819: in case that the characteristics of TFT is researched by changing a thickness of a crystalline silicon active layer from 100Å to 1000Å, the preferable characteristics can be obtained that the field effect mobility is improved, and a threshold voltage and a leak current are reduced when the active layer becomes thin.

[0022] This is applicable to a crystalline silicon film using the catalytic metal element which is the subject of the present invention. Therefore, in the present invention, the characteristics of the semiconductor device can be improved not only by planarization by CMP method but also by making the silicon film thin by polishing.

[0023]

[Embodiment] The present embodiment is shown in Figures 3 and 4. First, an silicon oxide film 32 is formed as an undercoating oxide film by sputtering to a thickness of 1000 to 5000Å, for example 4000Å on a substrate 31 (Corning 7059, 100mm x 100mm) which is planarized and polished. This silicon oxide film 32 is provided in order to prevent an impurity from the glass substrate from diffusing.

[0024] Then, it is polished and planarized by CMP method of the silicon oxide film which is known publicly. As planarizing rate, RMS of the unevenness is not more than 10Å. Next, an amorphous silicon film 33 is formed by plasma CVD method to a thickness of 400 to 1500Å, for example 500Å. After that, a layer 34 of several to several tens Å (a nickel-contained layer) wherein nickel or nickel compound is contained is formed on the amorphous silicon film.

[0025] The nickel-contained layer 34 can be formed by one of the following methods:

- ①A method of drying after applying solution containing nickel element.
- ②A method of depositing nickel or nickel compound by sputtering.
- ③A method of decomposing and piling up the gaseous organic nickel by heat, light and plasma. (vapor phase growing method)

[0026] To apply the solution in the method of ①, for example, spin coating method and dipping method can be used. In the present embodiment, a nickel acetate film is formed by spin coating method. The following is the detail of the method.

[0027] First, a silicon oxide film is formed to a thickness of 10 to 50Å on the amorphous silicon film by oxidizing the surface of silicon. Forming the silicon oxide film can be

performed by irradiation of UV light in an atmosphere of oxygen, thermal oxidization, processing by hydrogen peroxide, etc. The oxide film is formed to a thickness of 20Å by irradiation of UV light in an atmosphere of oxygen here. This silicon oxide film is, in the subsequent process for applying the nickel acetate solution, for making nickel acetate solution spread all over the surface of the amorphous silicon film, that is to say, for improving the surface characteristics of the silicon film and preventing the solution from repelling.

[0028] Next, the nickel acetate solution is made by dissolving nickel into the acetate solution. At this time, the concentration of nickel is 10ppm. Then, this nickel acetate solution of 2ml is dropped on the surface of the substrate which is rotating, and the nickel acetate solution is spread all over the substrate uniformly by holding this condition for five minutes. After that, spin dry (2000rpm, 60sec.) is performed by revving up the substrate.

[0029] In the research of the present inventor, the concentration of nickel in the nickel acetate solution is practical if it is not less than 1ppm. A nickel acetate layer of which thickness is at an average of 20Å can be formed on the surface of the amorphous silicon film after spin dry by performing the process for applying this nickel acetate solution one time to several times. Besides, the above-mentioned layer is not necessarily the perfect film. The same layer can be formed using other nickel compounds. In this way, the nickel acetate film (a nickel-contained layer) 34 is formed. (Figure 3 (A))

[0030] In the present embodiment, a method of introducing nickel or nickel compound on the amorphous silicon film is shown, but a method of introducing nickel or nickel compound under the amorphous silicon film (that is to say, between the undercoating oxide film 32 and the silicon film 33) can be used. In this case, nickel or nickel compound is introduced before forming the amorphous silicon film.

[0031] After forming the nickel-contained layer, a crystalline silicon film 35 is obtained by heating processing at 550°C in an atmosphere of nitrogen for four hours in a heating oven. Most of the amorphous silicon is crystallized by this thermal annealing, however, amorphous silicon partially remained. Then, these defective crystallized portion is also crystallized by irradiating KrF excimer laser beam (wavelength 248nm) to improve the crystallinity. The energy density of the laser is 200 to 350mJ/cm². The energy density

of the laser is decided by taking a thickness of the silicon film and the rate of crystallization, etc. into consideration. (Figure 3 (B))

[0032] As a result of the above-mentioned photo-annealing, a lot of ridges 36 to 38 is generated on the surface of the crystalline silicon 35. In the present embodiment, the height of the ridges are 200 to 1500Å. (Figure 3 (C))

Next, the surface of the silicon film 35 is planarized by performing CMP method. In the present embodiment, the even surface 39 of which RMS of unevenness is 20Å (that is to say, 4% of the film thickness) is obtained by performing the method disclosed in Int'l Display Res. Conf. Oct. 10-13. 1994. Monterey, Calif. Pp294). A lot of nickel concentrated in ridges can be removed by removing the ridges. (Figure 3 (D))

[0033] Besides, though the silicon surface 39 is damaged to no small extent by CMP method as mentioned above, the damage can be removed by thermal annealing and thermal oxidization. In the present embodiment, the above-mentioned damage can be removed by forming a very thin silicon oxide film on the surface by thermal oxidization at one atmospheric pressure in an atmosphere of oxygen at 550°C for 30 minutes to 2 hours, and by etching with hydrofluoric acid. (a first thermal oxidization)

[0034] Next, the crystalline silicon film obtained in this way is etched by dry etching method, so that an island shape region 43 (island shape silicon film) is formed. This island shape silicon film 43 constitutes an active layer of TFT. Then, thermal annealing is performed at one atmospheric pressure in an atmosphere of oxygen at 550°C for 30 minutes to 2 hours. (a second thermal oxidization)

[0035] After that, as a gate insulating film 107, a silicon oxide film 44 is piled up to a thickness of 500 to 1000Å, for example 750Å by thermal CVD method. Monosilane (SiH_4) and oxygen (O_2) are used as material gases. The preferable substrate temperature at film formation is 410 to 450°C. (Figure 4 (A))

[0036] Furthermore, a poly-crystalline silicon film is piled up to a thickness of 3000 to 6000 Å by reduced pressure CVD method using disilane (Si_2H_6) as material. Phosphorus is doped into the poly-crystalline silicon film by doping phosphine (PH_3) of 1 to 5% for disilane, so that the conductivity is improved. Next, a gate electrode 45 is formed by etching the poly-crystalline silicon film. (Figure 4 (B))

[0037] After that, impurity (phosphorus in the present embodiment) is implanted to the

island shape silicon film 43 in a self-alignment manner for the gate electrode 45 by ion doping method. Phosphine (PH_3) is used as doping gas. In this case, the quantity of a dose is 1×10^{13} to $5 \times 10^{15} \text{ cm}^{-2}$, and the acceleration voltage is 10 to 90kV, for example, the quantity of a dose is $5 \times 10^{14} \text{ atom/cm}^2$, and the acceleration voltage is 80kV. Consequently a N-type impurity regions 46a (source) and 46b (drain) are formed. (Figure4 (C))

[0038] Furthermore, the doped impurity region 110 is activated by irradiating KrF excimer laser (wavelength 248nm, pulse width 20nsec). The energy density of the laser is 200 to 400mJ/cm². Preferably, 250 to 300mJ/cm² is suitable. This process can be performed by thermal annealing of 350 to 500°C. Also, thermal annealing can be performed after activation by laser.

[0039] Next, as an interlayer insulating film, a silicon oxide film 47 is formed to a thickness of 3000Å by plasma CVD method. Then, the interlayer insulating film 47 and the gate insulating film 44 are etched and contact holes are formed in source/drain. After that, a titan film 48 (1000Å in thickness) and an aluminum film 49 (5000Å in thickness) are formed by sputtering, which are etched to form a source electrode 50a and a drain electrode 50b, and TFT is accomplished. Furthermore, hydrogenation processing can be performed at 200 to 400°C. (Figure 4 (D))

[0040] When the characteristics of TFT with channel length/width of $3/3 \mu\text{m}$ formed by the above-mentioned method is measured, there is neither case out of hundred which does not show TFT operation, nor that of which drain current (OFF current) is not less than 1nA in the gate bias:-10V and the drain voltage:+1V.

[0041] However, among TFTs that are not planarized by CMP method of Figure 3 (D), TFTs which do not show the TFT operation are 38 cases out of 100. TFTs of which OFF current is not less than 1nA under the condition mentioned above are 25 cases among 62 cases which show TFT operation. As a result of analysis about inferiority, no-good TFT operation and OFF current are caused by gate leak which is caused mainly by the thin gate insulating film of 750Å. When a thickness of the gate insulating film is 1200Å, operations are observed in every TFT.

[0042] Besides, in the present embodiment, though all of the TFTs which the first thermal oxidization is not performed show the TFT operation, TFTs of which OFF

current is not less than 1nA are 3 cases out of 100. Similarly in the present embodiment, though all of the TFTs which the second thermal oxidization is not performed show the TFT operation, TFTs of which OFF current is not less than 1nA are 8 cases out of 100. In this way, it is observed that the first and the second thermal oxidizing processes of the present embodiment contribute to reduce the OFF current.

[0043] (Embodiment 2) The present embodiment is explained with Figure 5. By the same method as Embodiment 1 or the description in relation to Figure 3, a crystalline silicon film (500Å in thickness) with even surface is formed on a glass substrate 51 and an undercoating silicon oxide film 52. However, in the present embodiment, palladium is used as a catalytic metal element. After that, an active layers of TFT 53N (for N channel type TFT) and 53P (for P channel type TFT) are formed by etching the silicon film in the same way as Embodiment 1. Subsequently, as a gate insulating film, a silicon oxide film 54 is formed to a thickness of 500 to 1000Å, for example, 500Å by plasma CVD method.

[0044] After that, an aluminum (containing Si of 1wt% or Sc of 0.1 to 0.3wt%) film is formed to a thickness of 1000Å to 3μm, for example, 5000Å by sputtering, and a gate electrodes 55N and 55P are formed by patterning the film. (Figure 5 (A))

[0045] Next, anodic oxidation is performed by dipping a substrate in ethylene glycol solution of tartaric acid of pH=7, 1 to 3%, using platinum as the cathode, and using the gate electrodes 55N and 55P of aluminum as the anode. The anodic oxidation is accomplished by increasing the voltage up to 120V with the constant current first and holding the condition for one hour. In this way, an anodic oxide covering films 56N and 56P are formed to a thickness of 1500 to 2500Å, for example, 2000Å. (Figure 5 (B))

[0046] After that, N type and P type impurities (respective phosphorus and boron in the present embodiment) are implanted into the island shape silicon film 206 by ion doping method in a self-alignment manner for the gate electrode and the anodic oxide. Phosphine (PH₃) and diborane (B₂H₆) are used as doping gases. Doping methods follow the CMOS technology known publicly. In the present embodiment, the quantity of a dose of both phosphorus and boron is 1 x 10¹³ to 5 x 10¹⁵cm⁻², the acceleration voltage is 10 to 90kV, for example, a dose of phosphorus is 5 x 10¹⁴cm⁻², the acceleration voltage is 80kV, a dose of boron is 1 x 10¹⁵cm⁻², and the acceleration voltage is 65kV.

[0047] The present embodiment is the off-set structure that the gate electrode is away from the source and the drain as thick as the anodic oxide. The detail of TFT with such structure as this is disclosed in Japanese Patent Application Laid-Open No. Hei 5-267667. Furthermore, doped impurity is activated by KrF excimer laser in the same way as Embodiment 1. As a result of this, a N-type impurity region 57N (source/drain) and a P-type impurity region 57P (source/drain) are formed. (Figure 5 (C))

[0048] After that, as an interlayer insulating film, a silicon oxide film 58 is formed to a thickness of 3000Å by reduced pressure CVD method. Then, contact holes are formed in source/ drain by etching the interlayer insulating film 58 and the gate insulating film 54. Then, an aluminum film of 5000Å is formed by sputtering, and source/drain electrodes and a wiring 59a to 59c are formed by etching the film. Furthermore, hydrogenation processing at 200 to 400°C can be performed. In this way, the CMOS circuit can be constituted by TFT. (Figure 5 (D))

[0049] The gate insulating film of the TFT obtained in this way is thin (in the conventional case, the gate insulating film not more than 1000Å cannot prevent gate leak.) compared with the conventional TFT. Therefore, especially excellent TFT can be obtained compared with the conventional one regarding the characteristics of the field effect mobility, the threshold voltage, the leak current, etc.

[0050]

[Effect of the present invention] According to the present invention, the TFT with excellent characteristics can be obtained. In the present embodiment, as a TFT structure, comparatively simple one is taken up. For example, an impurity region with low concentration shown in Japanese Patent Application Laid-Open No. Hei 3-38755 can be provided in a source and a drain. Besides, in the Embodiment 2, the embodiment wherein a gate electrode is anodized is shown, and also it is possible to manufacture the TFT with complex structure by combining a different kind of anodic oxide as shown in Japanese Patent Application Laid-Open No. Hei 6-338612. In this way, the present invention is profitable for industrial use and enough to be patented.

[A brief explanation of Figures]

[Figure 1] It shows a processing method of a silicon film by the present invention.

[Figure 2] It shows an example of the characteristics deterioration by existence of ridges.

[Figure 3] It shows a manufacturing method of a silicon film by the present invention.
(Embodiment 1)

[Figure 4] It shows a manufacturing method of a TFT element by the present invention.
(Embodiment 1)

[Figure 5] It shows a manufacturing method of a TFT circuit by the present invention.
(Embodiment 2)

[An explanation of marks]

11	substrate
12	crystalline silicon film
13 to 15	ridge
16 to 18	portion with high concentration of catalytic metal element
21	substrate
22	crystalline silicon film
23	insulating film
24	electrode
25	ridge
26	Fowler-Nordheim current
27	power supply
31	substrate
32	undercoating film
33	amorphous silicon film
34	nickel-contained layer (nickel acetate layer)
35	crystalline silicon film
36 to 38	ridge
39	planarized silicon surface
41	substrate
42	undercoating film
43	island shape silicon region
44	gate insulating film
45	gate electrode (poly-crystalline silicon)
46	N-type impurity region

- 47 interlayer insulator (silicon oxide)
- 48 titan film
- 49 aluminum film
- 50 source/drain electrode and wiring
- 51 substrate
- 52 undercoating film
- 53N, 53P island shape silicon region
- 54 gate insulating film
- 55N, 55P gate electrode (poly-crystalline silicon)
- 56N, 56P anode oxide
- 57N, 57P impurity region
- 58 interlayer insulator (silicon oxide)
- 59 source/drain electrode and wiring

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-255916

(43) 公開日 平成8年(1996)10月1日

(51) Int.Cl.⁶
H01L 29/786
21/336
21/20

識別記号

F I
H01L 29/78 627 A
21/20
29/78 627 G

審査請求 未請求 請求項の数 7 FD (全8頁)

(21) 出願番号 特願平7-86458

(22) 出願日 平成7年(1995)3月16日

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

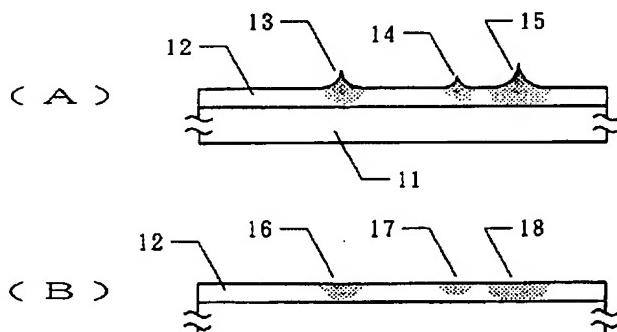
(72) 発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】薄膜半導体装置の作製方法

(57) 【要約】

【目的】 良好な特性を示す薄膜トランジスタ(TF T)を提供する。

【構成】 絶縁表面上に、400Å以上の厚さの非晶質シリコン膜を形成し、これにニッケル等の触媒金属元素を添加して、熱アニールすることにより、結晶化せしめ、さらに、これにレーザー光等の強光によって、光アニールを施す。その後、該シリコン膜の表面を化学的機械的研磨法(CMP法)によって、研磨することにより、シリコン膜表面の突起を無くし、また、該突起部に集中する触媒金属元素をも除去する。かくして、シリコン膜の平坦性が高まり、この上に絶縁膜を形成した場合でも、十分な耐圧が得られ、また、シリコン膜の信頼性も向上する。



【特許請求の範囲】

【請求項1】 (1) 絶縁表面上に非晶質シリコン膜を形成する工程と、

(2) 前記シリコン膜を触媒金属元素を用いた、熱アニールを施すことにより、結晶化せしめる工程と、

(3) 前記シリコン膜に光アニールを施す工程と、

(4) 前記シリコン膜に化学的機械的研磨法を施すことにより、表面の凹凸の二乗平均の平方根 (RMS) が膜厚の10%以下、もしくは、凸部と凹部の高さの差が膜厚の25%以下となるようにする工程と、

(5) 前記シリコン膜を覆って、絶縁膜と導電膜とを堆積する工程とを有することを特徴とする薄膜半導体装置の作製方法

【請求項2】 請求項1の工程(4)と工程(5)の間に、前記シリコン膜表面に熱酸化膜を形成する工程を有することを特徴とする薄膜半導体装置の作製方法

【請求項3】 請求項1の工程(5)において、絶縁膜はCVD法によって成膜され、その厚さは、該シリコン膜の厚さの2倍以下であることを特徴とする薄膜半導体装置の作製方法

【請求項4】 請求項1によって制作される半導体装置のデザインルールが0.25~3μmであることを特徴とする薄膜半導体装置の作製方法

【請求項5】 請求項1において、該シリコン膜は、CVD法もしくはPVD法によって形成された絶縁性の下地膜上に形成されることを特徴とする薄膜半

【請求項6】 請求項5において、該下地膜は、化学的機械的研磨法によって、研磨することにより平坦化されることを特徴とする薄膜半導体装置の作製方法

【請求項7】 請求項1において、該触媒金属元素は、ニッケル、コバルト、鉄、白金、パラジウムのいずれかであることを特徴とする薄膜半導体装置の作製方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、絶縁表面上に薄膜状の絶縁ゲート型半導体装置（特に薄膜トランジスタもしくはTFT）を作製する方法に関する。本発明による半導体装置は、液晶ディスプレー等のアクティブマトリクスやイメージセンサー等の駆動回路、あるいはSOI集積回路や従来の半導体集積回路（マイクロプロセッサーやマイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリー等）に使用されるものである。

【0002】

【従来の技術】 近年、絶縁基板上、もしくは半導体基板上であっても厚い絶縁膜によって半導体基板と隔てられた表面（絶縁表面）上に絶縁ゲート型半導体装置（MISFET）を形成する研究が盛んに成されている。特に半導体層（活性層）が薄膜状である半導体装置を薄膜トランジスタ（TFT）という。このような半導体装置においては、単結晶の半導体のような良好な結晶性を有す

る素子を得ることは困難で、通常は、結晶性は有するが単結晶でない、非単結晶の半導体を用いる。したがって、半導体の結晶性によって、半導体装置の特性が大きく左右された。

【0003】 半導体としてシリコンを用いる場合には、特開平6-318701に開示されるように、ニッケル、コバルト、鉄、白金、パラジウム等の金属元素を用いると非晶質シリコンを、より低い温度で、かつ、短時間で結晶化させることが可能である。すなわち、上記金属元素は、結晶化に際して、触媒金属元素として機能する。そして、このようにして得られた結晶性シリコン膜を用いた半導体装置の特性は、そうでないものに比較して、概して良好であった。また、1000Å未満の薄い膜においても良好な結晶化が可能であった。

【0004】 より、良好な結晶性を得るには、特開平6-318701に開示されるように、上記のように触媒金属元素を用いて結晶化せしめたシリコン膜に、レーザー等の強光を照射して、光アニールを施す方法も有効である。

【0005】

【発明が解決しようとする課題】 しかしながら、触媒金属元素を用いる方法には解決すべき問題が1つあった。それは、触媒金属元素が特定の場所に偏ることにより、半導体装置の特性のバラツキが激しくなるということである。すなわち、触媒金属元素は、多くは珪化物の形でシリコン膜中に存在するのであるが、これが多い領域では、シリコンの半導体特性が著しく損なわれており、TFTの場合であれば、ゲイトバイアスの如何に関わらず、ドライン電流が大きいという問題となる。本発明はこの問題を解決することを課題とする。

【0006】

【課題を解決するための手段】 本発明は、上記のような手段によって結晶化させたシリコン膜表面を化学的機械的研磨法によって、研磨平坦化することにより、上記の問題を解決することを特徴とする。

【0007】 すなわち、

(1) 絶縁表面上に非晶質シリコン膜を形成する工程

(2) 前記シリコン膜を触媒金属元素を用いた、熱アニールを施すことにより、結晶化せしめる工程

(3) 前記シリコン膜に光アニールを施す工程

(4) 前記シリコン膜に化学的機械的研磨(CMP)法を施すことにより、表面の凹凸の二乗平均の平方根 (RMS) が膜厚の10%以下、もしくは、凸部と凹部の高さの差が膜厚の25%以下となるようにする工程を経ることにより、シリコン膜中の触媒金属元素の偏析した部分を選択的に除去し、よって、半導体装置の特性を安定化せしめることができる。

【0008】 そして、このように処理したシリコン膜を覆って、絶縁膜と導電膜とを堆積することにより、半導体装置を作製することができる。上記の工程(4)の

後、前記シリコン膜表面に熱酸化膜を形成する工程を設けてもよい。この場合の熱酸化とは、500～600℃の低い温度での熱酸化も含まれるが、この酸化工程の結果、シリコン膜中の触媒金属元素を金属酸化物として、固定化することができるので有効である。

【0009】また、本発明においては、シリコン膜は化学的気相成長(CVD)法もしくは物理的気相成長(PVD)法によって形成された絶縁性の下地膜上に形成されるとよい。さらに加えれば、下地膜は、化学的機械的研磨法によって、研磨することにより平坦化されると、シリコン膜の平坦化工程において有効である。

【0010】上記の工程(4)において、シリコン膜のCMP法としては、高橋ら(*Appl. Phys. Lett.* vol.64 (1994) pp2273)、あるいは、カオラ(*Int'l Display Res. Conf.* Oct. 10-13, 1994, Monterey, Calif. pp294)が報告しているので、それと同様な方法によっておこなえばよい。

【0011】

【作用】特開平6-318701に開示される触媒金属元素を用いた熱アニールと光アニールを併用して、結晶性シリコン膜を得る方法には、別な問題があった。それは、光アニール工程によって生じるシリコン膜表面の凹凸(リッジ)の問題である。これは触媒金属元素を用いない場合においても問題となるのであるが、触媒金属元素を用いた場合には、光アニール時に、より大きく結晶性が変動するため、局所的な体積変動が甚だしく、より凹凸が大きくなる。

【0012】凹凸は、少なくとも100Å、典型的には、膜厚と同程度から2倍の凹凸差(凸部と凹部の高さの差)が生じた。すなわち、膜厚が500Åであれば、凹凸差は500～1000Åにもあった。また、凹凸の別の表示方法として、二乗平均和の平方根(RMS)を用いた場合には、膜厚の20%を越える値となつた。

【0013】さて、本発明人は、研究の結果、触媒金属元素は、シリコン結晶の粒界に選択的に存在し、また、粒界にリッジが発生することを見出した。この様子を概念的に示したのが、図1(A)であり、絶縁表面11上に形成された結晶性シリコン膜12には、リッジ13～15が存在する。触媒金属元素の濃度はドットの密度で表示されており、図に示すように、リッジ13～15に集中している。(図1(A))

【0014】したがって、リッジの存在する部分が、半導体装置の不良箇所があるので、リッジを除去すれば、同時に触媒金属元素も除去できる。この場合、リッジの頂上部では、特に触媒金属元素の濃度が高いので、リッジ除去によって、触媒金属元素濃度の高い部分を選択的に除去できる。リッジの根元の部分16～18も触媒金属元素の濃度は高いが、半導体特性を喪失させるような濃度ではなく、ほとんど問題とはならない。(図1(B))

【0015】この部分の触媒金属元素は、絶対量が少ないので、適当な温度の熱酸化処理によって、当該部分の触媒金属元素を金属酸化物として、固定化させることができる。このようにして得られた触媒金属元素を含む酸化物は、フッ化水素酸で処理することにより除去でき、よって、触媒金属元素を除去できる。

【0016】このように、リッジを選択的に除去するには、CMP法によってシリコン膜を平坦化すればよい。もちろん、凹凸を無くし、シリコン膜を平坦化すること自体も、半導体装置の微細化・高信頼性化に寄与する。例えば、図2に示すように、絶縁表面21上のシリコン膜22を覆って、絶縁膜23と電極24を形成する場合においても、リッジ25が存在することが問題となつた。

【0017】すなわち、リッジの存在のために、絶縁膜23の被覆性が低下して、当該部分の絶縁性が低下することが第1の問題であった。さらに、上記のように、リッジ部分は、曲率半径が小さい上に、触媒金属元素が珪化物として存在する極めて導電性の高い部分であるので、電極24とシリコン膜22の間に電圧を印加すると、ファウラ・ノルドハイム電流26が発生しやすかつた。(図2)

【0018】また、リッジ部分が導電性であるため、該部分に電荷がトラップされることもあり、これによって半導体特性が劣化することもあった。リッジを除去し、平坦化することはこれらの問題点を解決するうえでも有効であることが判った。すなわち、シリコン膜上の絶縁膜をCVD法、特に熱CVD法によって堆積し、その厚さをシリコン膜の厚さの2倍以下、より、好ましくは1倍以下とすることも可能となった。この結果、半導体装置のしきい値電圧(V_{th})を小さくし、消費電力を抑えることが可能である。

【0019】このことは、デザインルールの縮小を也可能とする。すなわち、デザインルールを半分にするには、ゲート絶縁膜の厚さを半分にすることも同時に求められるのであるが、上記のようにゲート絶縁膜を薄くすることが可能となつたために、デザインルールを0.25～3μmとすることも可能となつた。

【0020】本発明人の研究では、十分に触媒金属元素を除去するには、表面の凹凸のRMSが膜厚の10%以下、もしくは、凸部と凹部の高さの差が膜厚の25%以下のいずれかとすることが必要である。そして、効果的な平坦化をおこなうためには、下地膜も十分に平坦であることが好ましい。

【0021】なお、本発明とは別に、シリコン膜を薄くすることによって、半導体装置の特性を改善できるという報告がある。例えば、林久雄他は、*Jpn. J. Appl. Phys.* vol.23 (1984) L819において、結晶性のシリコンの活性層の厚さを100Åから1000Åまで変化させてTFTの特性を調べ、活性層が薄くなると、電界効果移

動度が向上し、しきい値電圧、リーク電流が低下するという好ましい特性が得られた、と報告している。

【0022】このことは、本発明の対象とするような触媒金属元素を用いた結晶性シリコン膜においても該当する。したがって、本発明において、CMP法による平坦化だけに留まることなく、さらに、研磨を進めてシリコン膜を薄くすることによっても半導体装置の特性を改善できる。

【0023】

【実施例】

【実施例1】本実施例を図3、図4に示す。まず、平坦化研磨した基板31（コーニング7059、100mm×100mm）上に下地酸化膜として、酸化珪素膜32をスパッタリング法により1000～5000Å、例えば、4000Åに成膜した。この酸化珪素膜32は、ガラス基板からの不純物の拡散を防ぐために設けられる。

【0024】そして、公知の酸化珪素膜のCMP法によって、これを研磨し、平坦化した。平坦化度としては、凹凸のRMSを10Å以下とした。そして、非晶質シリコン膜33をプラズマCVD法により400～1500Å、例えば、500Åに成膜した。その後、非晶質シリコン膜上に数～数十Åのニッケルもしくはニッケル化合物を含む層34（ニッケル含有層）を形成した。

【0025】ニッケル含有層34を形成するには、
①ニッケル元素を含有した溶液を塗布したのち、乾燥させる方法

②ニッケルもしくはニッケル化合物をスパッタリング法によって成膜する方法

③ガス状の有機ニッケルを熱、光、プラズマによって分解・堆積させる方法（気相成長法）
のいずれかによって形成すればよい。

【0026】①の方法において溶液を塗布するには、例えば、スピニコーティング法や、ディッピング法を用いればよい。本実施例においては、酢酸ニッケル膜をスピニコーティング法によって形成した。以下にその方法を詳述する。

【0027】まず、非晶質シリコン膜上にシリコン表面を酸化することにより酸化珪素膜を10～50Åに形成した。酸化珪素膜を形成するには、酸素雰囲気中でのUV光の照射、熱酸化、過酸化水素による処理等によっておこなえばよい。ここでは、酸素雰囲気中でのUV光の照射により酸化膜を20Åに成膜した。この酸化珪素膜は、後のニッケル酢酸塩溶液を塗布する工程で、非晶質シリコン膜の表面全体にニッケル酢酸塩溶液をゆき渡らせるため、すなわち、シリコン膜の表面特性を改善し、水溶液を弾かなくするためのものである。

【0028】つぎに、酢酸塩溶液中にニッケルを溶解して、ニッケル酢酸塩溶液を作製した。このとき、ニッケルの濃度は10ppmとした。そして、回転させた基板上にこのニッケル酢酸塩溶液を基板表面に2ml滴下

し、この状態を5分間保持してニッケル酢酸塩溶液を均一に基板上に行き渡らせた。その後、基板の回転数を上げてスピンドライ（2000rpm、60秒）をおこなった。

【0029】本発明者の研究では、ニッケル酢酸塩溶液中におけるニッケルの濃度は、1ppm以上であれば実用になる。このニッケル酢酸塩溶液の塗布工程を、1～複数回おこなうことにより、スピンドライ後の非晶質シリコン膜の表面に平均20Åの膜厚を有する酢酸ニッケル層を形成することができた。なお、上述の層は、完全な膜になっているとは限らない。他のニッケル化合物を用いても同様にできる。このようにして、酢酸ニッケル膜（ニッケル含有層）34を形成した。（図3（A））

【0030】本実施例においては、非晶質シリコン膜上にニッケルもしくはニッケル化合物を導入する方法を示したが、非晶質シリコン膜の下（すなわち、下地酸化膜32とシリコン膜33の間）にニッケルもしくはニッケル化合物を導入する方法を用いてもよい。この場合は、非晶質シリコン膜の成膜前にニッケルもしくはニッケル化合物を導入すればよい。

【0031】ニッケル含有層形成後、加熱炉において、窒素雰囲気中において550℃、4時間の加熱処理をおこない結晶性シリコン膜35を得た。この熱アニールによって、大部分の非晶質シリコンは結晶化したが、ところどころに非晶質シリコンの部分が残されていた。そこで、結晶性向上のためにKrfエキシマレーザー光（波長248nm）を照射し、これら不完全な結晶化部分をも結晶化させた。レーザーのエネルギー密度は200～350mJ/cm²とした。レーザーのエネルギー密度30はシリコン膜の厚さ、結晶化の度合い等を考慮して決定すればよい。（図3（B））

【0032】上記の光アニールの結果、結晶性シリコン膜35の表面には、多くのリッジ36～38が発生した。本実施例では、リッジの高さは200～1500Åであった。（図3（C））

次に、CMP法を施し、シリコン膜35の表面を平坦化した。本実施例では、Int'l Display Res. Conf. Oct. 10-13, 1994, Monterey, Calif. pp294)に開示された方法によっておこない、凹凸のRMSが20Å（すなわち、膜厚の4%）である平坦な表面39を得た。リッジを除去することにより、リッジに集中していたニッケルの多くを除去することもできた。（図3（D））

【0033】なお、上記のCMP法のために、シリコン表面39は少なからずダメージを受けるが、これは、熱アニールや熱酸化によって除去できる。本実施例では、1気圧、550℃の酸素雰囲気の熱酸化を30分～2時間おこなうことにより、表面にごく薄い酸化珪素膜を生成させ、これをフッ酸によってエッチングすることにより、上記のダメージを除去できる。（第1の熱酸化）

【0034】つぎに、このようにして得られた結晶性シ

リコン膜をドライエッティング法によってエッティングして、島状領域43(島状シリコン膜)を形成した。この島状シリコン膜43はTFTの活性層を構成する。そして、1気圧、550℃の酸素雰囲気で、30分～2時間の熱アニールをおこなった。(第2の熱酸化)

【0035】その後、ゲート絶縁膜107として、膜厚500～1000Å、例えば、750Åの酸化珪素膜44を熱CVD法によって堆積した。原料ガスはモノシラン(SiH₄)と酸素(O₂)を用いた。成膜時の基板温度は410～450℃が好ましかった。(図4(A))

【0036】さらに、減圧CVD法によって、ジシラン(Si₂H₆)を原料として、厚さ3000～6000Åの多結晶シリコン膜を堆積した。ジシランに対してfosfin(PH₃)を1～5%添加することにより、多結晶シリコン膜には燐を添加し、よって、導電性を向上せしめた。次に多結晶シリコン膜をエッティングして、ゲート電極45を形成した。(図4(B))

【0037】その後、イオンドーピング法によって、島状シリコン膜43に、ゲート電極45に対して、自己整合的に不純物(本実施例においては燐)を注入した。ドーピングガスとしてはfosfin(PH₃)を用いた。この場合のドーズ量は $1 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、加速電圧は10～90kV、例えば、ドーズ量を $5 \times 10^{14} \text{ 原子/cm}^2$ 、加速電圧を80kVとした。この結果、N型不純物領域46a(ソース)、46b(ドレイン)が形成された。(図4(C))

【0038】さらに、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物領域110の活性化をおこなった。レーザーのエネルギー密度は200～400mJ/cm²、好ましくは250～300mJ/cm²が適当であった。この工程は350～500℃の熱アニールによっておこなってもよい。また、レーザーによる活性化の後に、熱アニールをおこなってもよい。

【0039】つぎに、層間絶縁膜として、プラズマCVD法によって酸化珪素膜47を厚さ3000Åに成膜した。そして、層間絶縁膜47、ゲート絶縁膜44のエッティングをおこない、ソース/ドレインにコンタクトホールを形成した。その後、チタン膜48(厚さ1000Å)、アルミニウム膜49(厚さ5000Å)をスパッタリング法によって成膜し、これをエッティングしてソース電極50a、ドレイン電極50bを形成し、TFTを完成させた。さらに200～400℃で水素化処理をおこなってもよい。(図4(D))

【0040】以上のようにして作製したチャネル長/幅が3/3μmのTFTの特性を測定したところ、TFT動作を示さなかったもの、および、ゲートバイアス:-10V、ドレイン電圧:+1Vでのドレイン電流(OFF電流)が、1nA以上のものは、100個中1つも

なかつた。

【0041】しかしながら、図3(D)のCMP法による平坦化を実施しなかったものでは、TFT動作を示さなかつたものは、100個中38個もあり、TFT動作を示した62個のうち、上記条件でのOFF電流が、1nA以上のものは、25個もあった。不良解析の結果、TFTの動作およびOFF電流の不良は、主として、ゲート絶縁膜が750Åと薄いことによる、ゲートリーグが原因であった。ゲート絶縁膜の厚さを1200Åとすると、全てのTFTで動作が確認された。

【0042】また、本実施例において、第1の熱酸化をおこなわなかつたものでは、全てがTFT動作を示したもの、OFF電流が1nA以上のものは、100個中3個あった。同様に本実施例において、第2の熱酸化をおこなわなかつたものでも、全てがTFT動作を示したもの、OFF電流が1nA以上のものは、100個中8個あった。このように、本実施例における、第1および第2の熱酸化工程がOFF電流低減に寄与することが確認できた。

【0043】【実施例2】図5を用いて、本実施例を説明する。実施例1もしくは図3に関連する記述と同じ手法で、ガラス基板51、下地酸化珪素膜52上に、平坦な表面を有する結晶性シリコン膜(厚さ500Å)を形成した。ただし、本実施例では、触媒金属元素として、パラジウムを用いた。その後、実施例1と同様にシリコン膜のエッティングをおこない、TFTの活性層53N(Nチャネル型TFT用)と53P(Pチャネル型TFT用)を形成した。その後、ゲート絶縁膜として、膜厚500～1000Å、例えば、500Åの酸化珪素膜54をプラズマCVD法によって形成した。

【0044】その後、厚さ1000Å～3μm、例えば、5000Åのアルミニウム(1wt%のSi、もしくは0.1～0.3wt%のScを含む)膜をスパッタリング法によって成膜して、これをパターニングして、ゲート電極55N、55Pを形成した。(図5(A))

【0045】つぎに基板をpH=7、1～3%の酒石酸のエチレングリコール溶液に浸し、白金を陰極、アルミニウムのゲート電極55N、55Pを陽極として、陽極酸化をおこなった。陽極酸化は、最初一定電流で120Vまで電圧を上げ、その状態で1時間保持して終了させた。このようにして、厚さ1500～2500Å、例えば、2000Åの陽極酸化物被膜56N、56Pを形成した。(図5(B))

【0046】その後、イオンドーピング法によって、島状シリコン膜206に、ゲート電極と陽極酸化物に対して自己整合的にN型およびP型不純物(本実施例においてはそれぞれ、燐と硼素)を注入した。ドーピングガスとしてはfosfin(PH₃)とジボラン(B₂H₆)を用いた。ドーピングの方法は公知のCMOS技術にしたがった。本実施例のドーズ量は、燐、硼素と

も $1 \times 10^{13} \sim 5 \times 10^{15} \text{ c m}^{-2}$ 、加速電圧は 10 ~ 9 0 kV、例えば、磷はドーザ量を $5 \times 10^{14} \text{ c m}^{-2}$ 、加速電圧を 80 kV、硼素はドーザ量を $1 \times 10^{15} \text{ c m}^{-2}$ 、加速電圧を 65 kVとした。

【0047】本実施例では、陽極酸化物の厚さだけ、ゲイト電極が、ソース、ドレインから離れたオフセット構造となる。このような構造の TFT の詳細については、特開平 5-267667 に開示されている。さらに、実施例 1 と同様に、KrF エキシマーレーザーを用いて、ドーピングされた不純物の活性化をおこなった。この結果、N 型不純物領域 57N (ソース/ドレイン) と P 型不純物領域 57P (ソース/ドレイン) が形成された。
(図 5 (C))

【0048】その後、層間絶縁膜として、減圧 CVD 法によって酸化珪素膜 58 を厚さ 3000 Å に成膜した。そして、層間絶縁膜 58、ゲート絶縁膜 54 のエッチングをおこない、ソース/ドレインにコンタクトホールを形成した。その後、厚さ 5000 Å のアルミニウム膜をスパッタリング法によって形成し、これをエッチングして、ソース/ドレイン電極・配線 59a ~ 59c を形成した。さらに 200 ~ 400 °C で水素化処理をおこなつてもよい。以上のようにして、CMOS 回路を TFT によって構成できた。(図 5 (D))

【0049】このようにして得られた TFT は、従来の TFT と比較して、ゲート絶縁膜が薄い(従来の場合には、1000 Å 以下のゲート絶縁膜では、ゲートリーケーを阻止できなかった)ため、電界効果移動度、しきい値電圧、リーケ電流等の特性に関して、従来のものに比較して格段に良好なものが得られた。

【0050】

【発明の効果】本発明によって、優れた特性の TFT を得ることができた。本実施例では、TFT の構造としては、比較的、単純な構造のものを取り上げたが、例えば、特公平 3-38755 に示されるような低濃度不純物領域をソース、ドレインに設けてもよい。また、実施例 2 では、ゲート電極を陽極酸化する例を示したが、他にも、特開平 6-338612 に開示されるように、異種の陽極酸化物を組み合わせて、複雑な構造の TFT を作製することも可能である。このように本発明は工業上、有益であり、特許されるに十分である。

【図面の簡単な説明】

- 【図 1】 本発明によるシリコン膜の処理方法を示す。
- 【図 2】 リッジの存在による特性劣化の例を示す。
- 【図 3】 本発明によるシリコン膜の作製方法を示す。

(実施例 1)

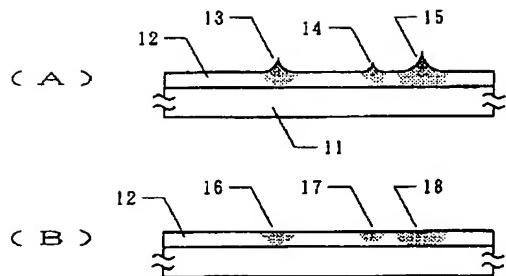
【図 4】 本発明による TFT 素子の作製方法を示す。
(実施例 1)

【図 5】 本発明による TFT 回路の作製方法を示す。
(実施例 2)

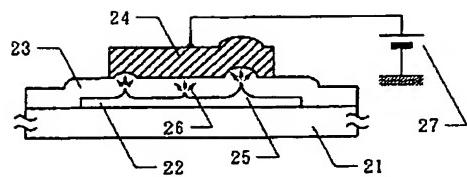
【符号の説明】

1 1	基板
1 2	結晶性シリコン膜
1 3 ~ 1 5	リッジ
10 1 6 ~ 1 8	触媒金属元素濃度の高い部分
2 1	基板
2 2	結晶性シリコン膜
2 3	絶縁膜
2 4	電極
2 5	リッジ
2 6	ファウラ・ノルドハイム電流
2 7	電源
3 1	基板
3 2	下地膜
20 3 3	非晶質シリコン膜
3 4	ニッケル含有層(酢酸ニッケル層)
3 5	結晶性シリコン膜
3 6 ~ 3 8	リッジ
3 9	平坦化されたシリコン表面
4 1	基板
4 2	下地膜
4 3	島状シリコン領域
4 4	ゲート絶縁膜
4 5	ゲート電極(多結晶シリコン)
30 4 6	N 型不純物領域
4 7	層間絶縁物(酸化珪素)
4 8	チタン膜
4 9	アルミニウム膜
5 0	ソース/ドレイン電極・配線
5 1	基板
5 2	下地膜
5 3N、5 3P	島状シリコン領域
5 4	ゲート絶縁膜
5 5N、5 5P	ゲート電極(多結晶シリコン)
40 5 6N、5 6P	陽極酸化物
5 7N、5 7P	不純物領域
5 8	層間絶縁物(酸化珪素)
5 9	ソース/ドレイン電極・配線

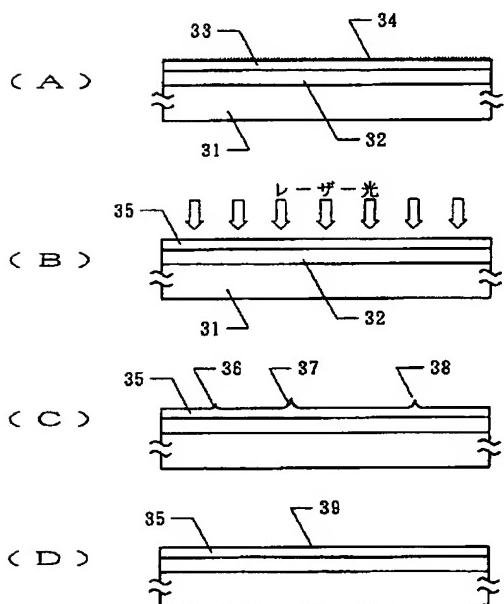
【図 1】



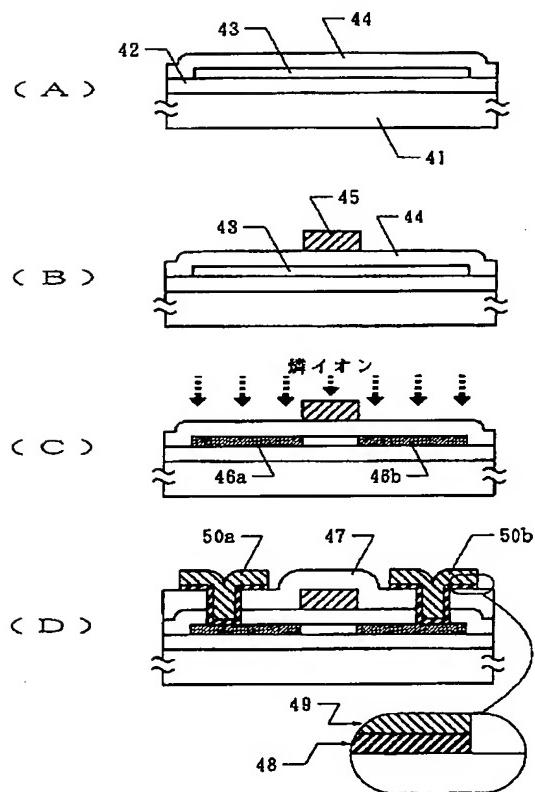
【図 2】



【図 3】



【図 4】



【図 5】

